

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-118390

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月29日

G 09 G 3/20
H 01 L 27/12
H 03 K 17/687

D-7436-5C
7514-5F
8422-5F
Z-7190-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタの駆動方法

⑯ 特 願 昭60-258903

⑰ 出 願 昭60(1985)11月19日

⑱ 発 明 者	小 川	久 仁	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	野 村	幸 治	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	阿 部	惇	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	瀬 恒	謙 太 郎	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	入 江	宏 之	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社		門真市大字門真1006番地	
⑳ 代 理 人	弁理士 中尾 敏男		外1名	

明 細 書

1、発明の名称

薄膜トランジスタの駆動方法

2、特許請求の範囲

(1) ソースおよびドレイン電極を具備した半導体層と絶縁層を介して接するゲート電極とからなる薄膜トランジスタのゲート端子に、入力信号電圧とは異なる第2の電圧をスイッチング素子を介して印加して所定の期間、前記絶縁層と半導体層との界面を空乏状態に保持することを特徴とする薄膜トランジスタの駆動方法。

(2) 第2の電圧を前記薄膜トランジスタのソース端子およびドレイン端子のいずれの電圧よりも低電圧に設定することを特徴とする特許請求の範囲
第1項記載の薄膜トランジスタの駆動方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、薄膜トランジスタ(TFT)を用いた信号のスイッチや転送回路において、TFTを長期間安定に動作するための駆動方法に関する。

従来の技術

半導体薄膜の一方の面上に形成した絶縁体層を介して前記半導体薄膜に電圧を印加することにより前記半導体薄膜の電気伝導度を変調する薄膜トランジスタは、製造プロセスが容易なこと、大面積化が可能なことなどの理由により液晶やエレクトロルミネセンス素子を用いた表示装置の駆動素子として近年、その研究開発が促進されている。このような薄膜トランジスタにおいて、最も重要な点は、素子特性の変動がなく長時間にわたって安定に動作することである。薄膜トランジスタの構成の1例を第2図に示す。ガラス等の絶縁性基板1上に数ミクロンから数1000ミクロンの所定の幅と長さとを有するクロム、金、アルミニウム等の金属からなるゲート電極2が設けられており、この電極をおおって厚さ数1000ÅでSiO₂、Si₃N₄、Al₂O₃などからなる絶縁物層3が設けられており、上記ゲート電極2上の絶縁物層3表面にCdS、CdSeやSi等の半導体層4が設けられ、この半導体層4に接して数ミクロンから数10ミ

クロンの所定の間隔を有するソース電極5およびドレイン電極6が設けられている。第3図にこの薄膜トランジスタの駆動方法の1例をインバータ回路を用いて説明する。薄膜トランジスタTFT1のソース端子Sとドレイン端子Dとの間には負荷抵抗 R_L を介してドレイン電圧 V_D が、またSとゲート端子Gとの間には信号電圧 V_G が印加される。通常よく用いられる、1～3Vの閾値電圧 V_T を有する α チャンネルエンハンスメントモードの薄膜トランジスタを例にとると、Sを接地電位として V_D, V_G は正電位に設定される。第4図に1例としてパルス幅 t_{sec} 、パルス繰返し時間 T_{sec} 、電圧振幅0V～10Vの V_G に対する、Dと R_L との間の電圧 V_{OUT} の出力波形を示す。 R_{off}, R_{on} を各々TFT1のオフ抵抗($V_G=0V$)、オン抵抗($V_G=10V$)としたとき、 $V_1=R_{off}V_D/(R_{off}+R_L)$ 、 $V_2=R_{on}V_D/(R_{on}+R_L)$ である。

発明が解決しようとする問題点

薄膜トランジスタは、その半導体層や絶縁体層

ができる。これにより信号電圧の印加で半導体、絶縁層、およびその界面に捕獲されていたキャリアをトラップレベルから解放することができ、薄膜トランジスタの電気特性の初期値からの変動を極めて少なくすることができる。

実施例

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明による薄膜トランジスタの駆動方法をインバータ回路に応用した1例を示している。第3図に示した従来回路に付加して薄膜トランジスタTFT1のゲート端子Gに信号電圧 V_G とともに例えば第2の薄膜トランジスタTFT2を介して第2の電圧 V_C を印加する。TFT2のゲートには、 V_C を所定の時間のみTFT1のゲート端子に印加するのに必要なクロック電圧 ϕ_C を印加している。1例としてTFT1のゲート端子には V_G+V_C の電圧が第5図に示すような時系列で印加される。すなわち V_G が低レベル(例えば0V)の時間($T-t$)中に ϕ_C を t' の期間高レベルにし、TFT2をオン状態にして V_C

を真空蒸着法、CVD法やスパッタリング法で形成するが、その膜質は多結晶もしくはアモルファスであり、膜中、膜界面には多くの欠陥、粒界などからなるキャリアのトラップレベルを含む。そのため、エンハンスメントモード薄膜トランジスタに同一極性を有するゲート電圧を長時間印加しチャンネルを形成しているとキャリア(電子または正孔)がしだいにトラップレベルを満たし、S-D間の電流、ドレイン電流 I_D を減少させるという問題がある。

問題点を解決するための手段

本発明は上記問題点を解決するため、薄膜トランジスタのゲート端子に信号電圧とは異なる第2の電圧を印加する素子を付加し、所定の時間薄膜トランジスタのゲートとソースとの間に空乏層を形成すべき電圧を印加する。

作用

本発明の駆動方法によれば、薄膜トランジスタに第2のゲート電圧を所定時間印加することにより半導体と絶縁層との界面を空乏状態にすること

(例えば-8V)をTFT1のゲートに印加する。この時、 V_{OUT} の低レベル V_2' は従来例で示した V_2 と全く同じであるが、高レベル V_1' は V_C の印加によりTFT1のオフ抵抗($V_G=-8V$)が従来例の場合よりも少し高くなるため、 V_1' は V_1 よりも少し高くなるが実用上は全く問題にならない。またTFT1のゲート端子に V_C を印加するタイミングとして第6図に示すように、信号電圧 V_G の印加が終了した後、あるいは、回路上 V_G が動作していない時間に ϕ_C をオン状態にして V_C を印加することも可能である。

更に本発明の異なる実施例として第7図に示すようなシフトレジスタがある。CK1, CK2により V_1 から V_n まで信号を転送した後、CK3のクロックによりトランジスタ Q_7 をオン状態とし、薄膜トランジスタ Q_4 のゲート端子に電位 V_C を供給する。第7図のA, BおよびC点での信号は、第8図に示したように変化する。第8図よりわかるようにC点は一定時間、所定の電位 V_C に設定される。 V_C は V_O よりも低電位であるので、

Q₄のゲート端子は、一定時間(t')ソース、ドレイン端子よりも低電位となり半導体と絶縁層との界面は空乏状態になり、トラップレベルに捕獲されていた電子を解放し、TFTのトランジスタ特性を初期の状態に復帰できる。

第9図は、本発明の効果を薄膜トランジスタのドレイン電流 I_D の経時変化により調べたものである。第2図に示す構造の薄膜トランジスタで、ゲート電極2は500Å程度の膜厚を有するAlを、絶縁体層3は5000Å程度の膜厚を有する Al_2O_3 を、半導体層4としては、500Å程度の膜厚を有するCdSeを、ソース・ドレイン電極5,6としては、2000Å程度の膜厚を有するAlをそれぞれ用い、真空蒸着法やスパッタ法を用いて形成した。パターニングは周知のフォトリソグラフ法等により行なった。第9図は上記したCdSeの薄膜トランジスタのゲート電極に2種類のパルス印加した時のドレイン電流の経時変化を調べたものである。図中(a)は第5図で示した本発明により得られるパルスを、(b)は第4図に示

した従来例により得られるパルスをそれぞれゲート電極に印加した場合の実験結果である。ソース・ドレイン間の電圧はどちらも20V一定とした。これからわかるように、ゲート電極に、ソース電位に対して、逆極性のパルスを印加すれば、ドレイン電流はほとんど変化しないことがわかる。

発明の効果

以上の説明から明らかなように、本発明の薄膜トランジスタの駆動方法に依れば、ゲート絶縁層、半導体層およびそれらの界面に捕獲されるキャリアの数を減少させることができるため、薄膜トランジスタの電気特性や長期安定性を大幅に改善することができ、各種トランジスタ回路に広く利用できるものである。

4、図面の簡単な説明

第1図は本発明の薄膜トランジスタの駆動方法を示すための回路図、第2図は薄膜トランジスタの断面構造図、第3図は従来の薄膜トランジスタの駆動方法を示すための回路図、第4図は従来の薄膜トランジスタに印加されるゲート電圧と出力

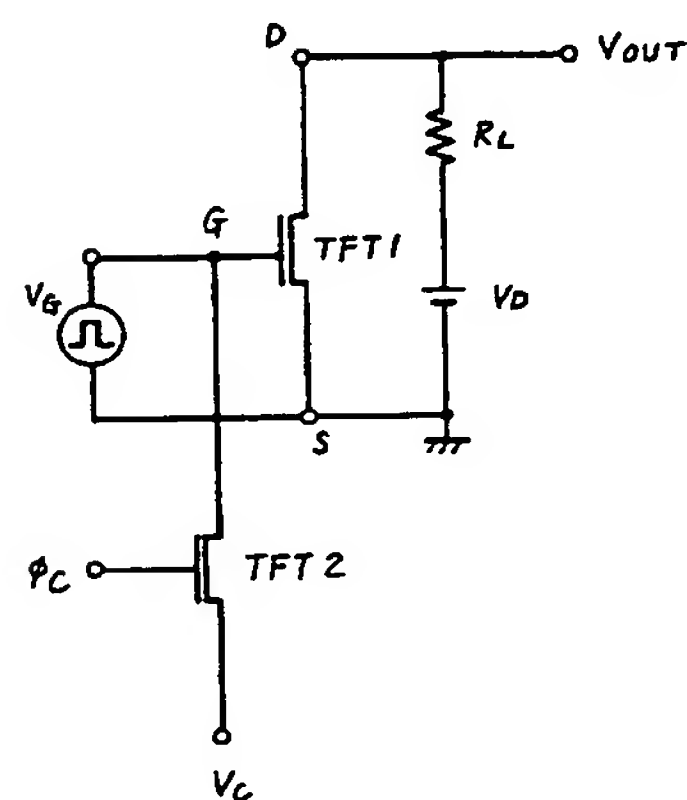
電圧を示す図、第5図、第6図は本発明の薄膜トランジスタに印加されるゲート電圧と出力電圧を示す図、第7図は本発明の薄膜トランジスタの駆動方法をシフトレジスタに応用した1実施例を示す回路図、第8図はシフトレジスタに応用した本発明の薄膜トランジスタの駆動方法におけるタイミングチャート、第9図は薄膜トランジスタの駆動方法のちがいによるドレイン電流の経時変化を示す特性図である。

TFT1……薄膜トランジスタ、 V_G ……ゲート電圧、 ϕ_C ……第2の電圧。

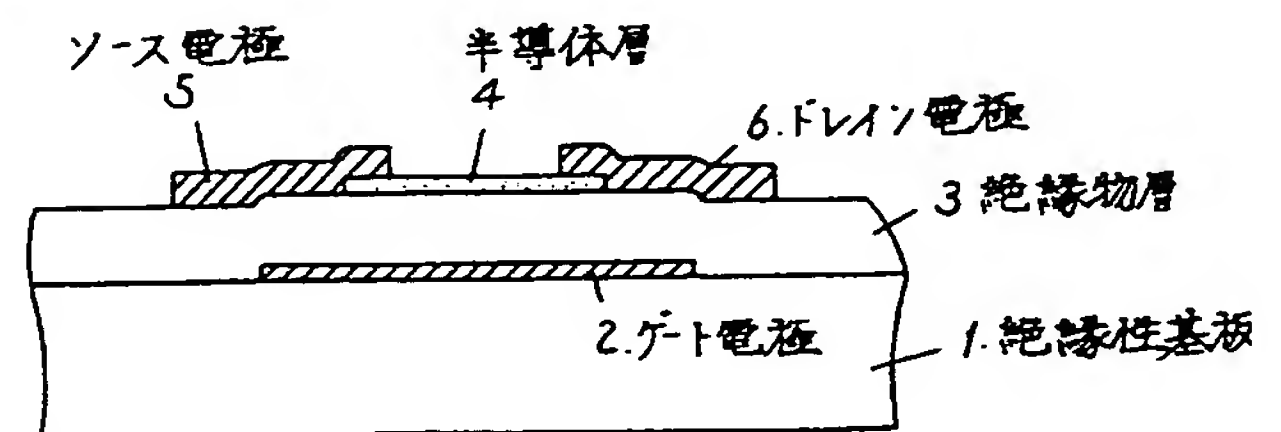
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

TFT1 --- 薄膜トランジスタ
 V_G --- ゲート電圧
 ϕ_C --- 第2の電圧

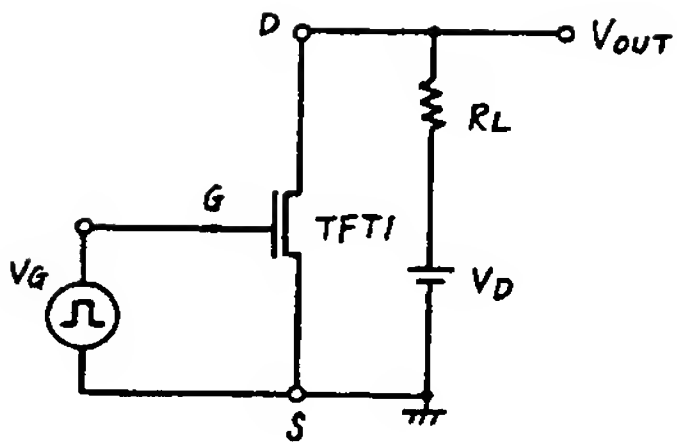
第1図



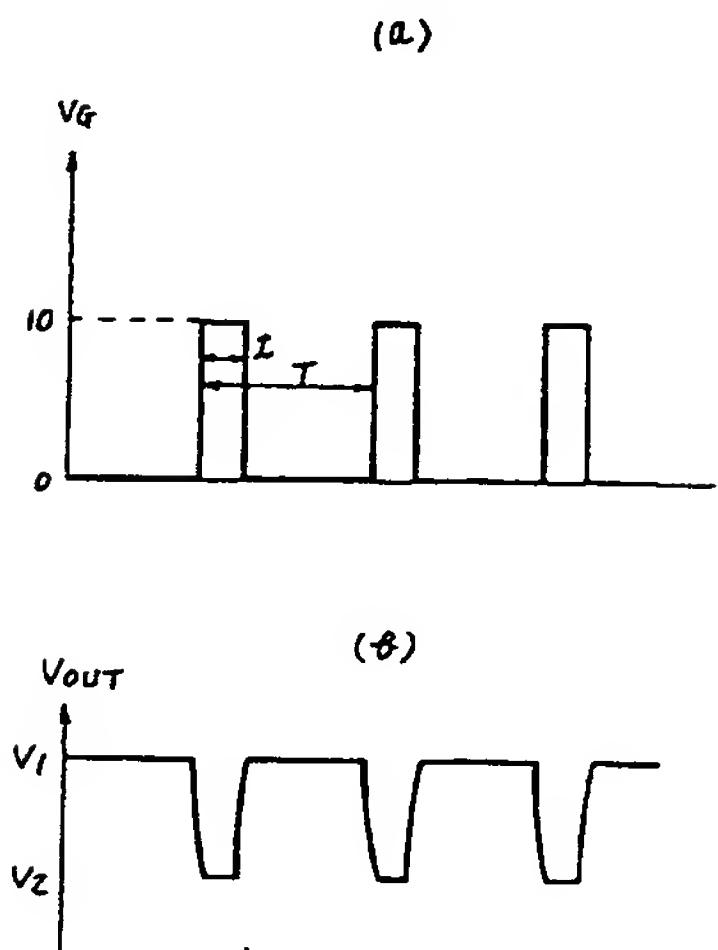
第2図



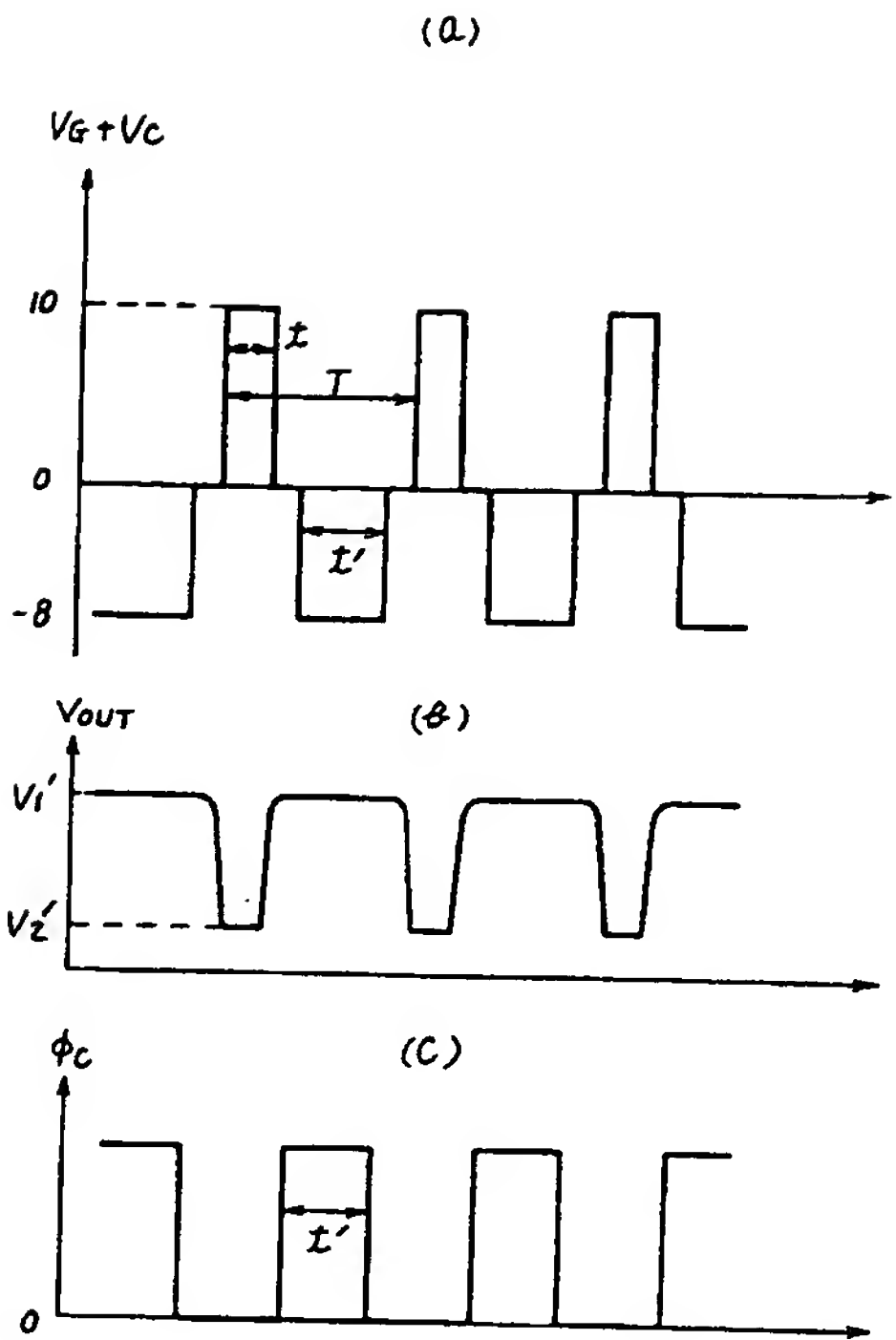
第 3 図



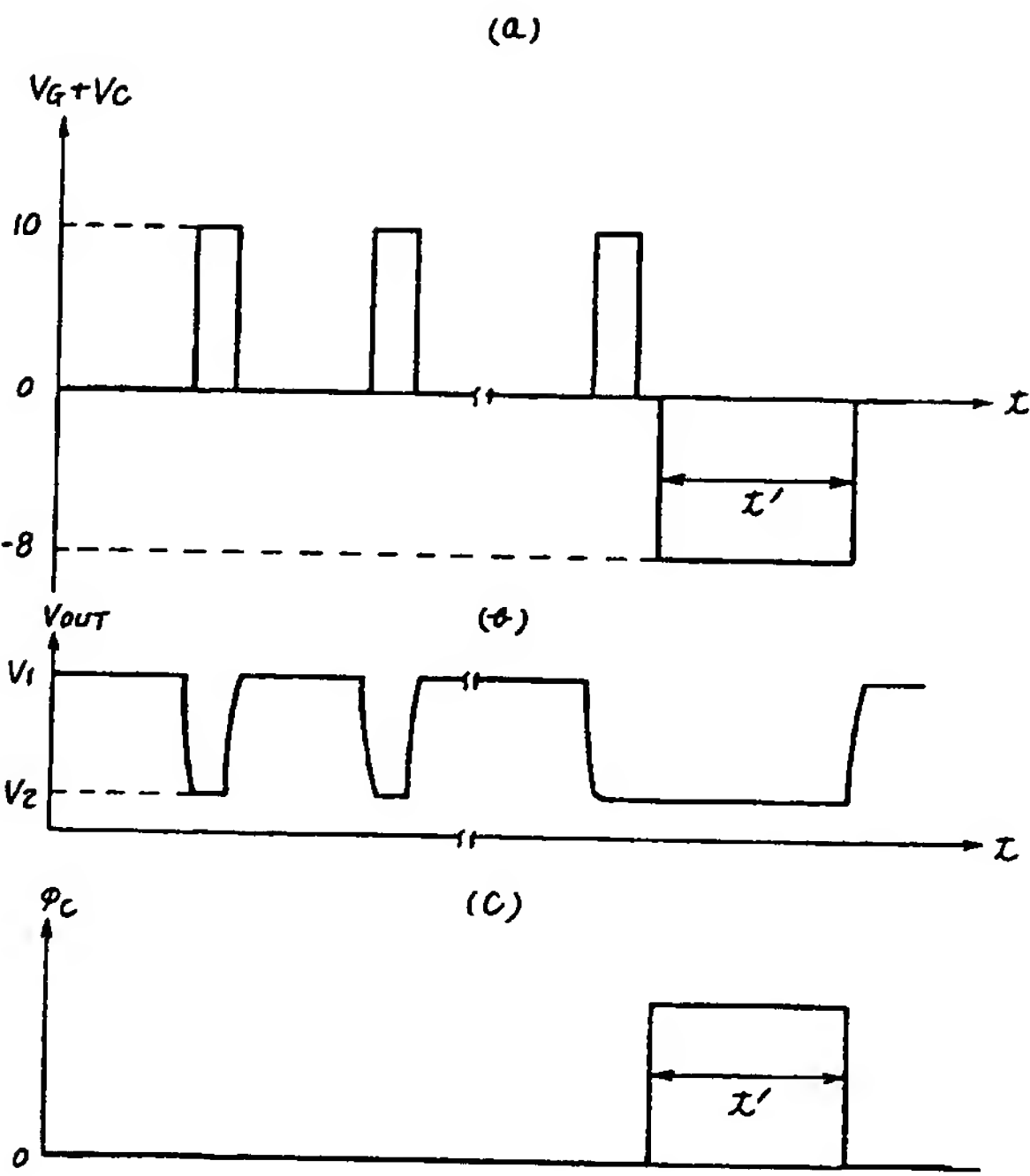
第 4 図



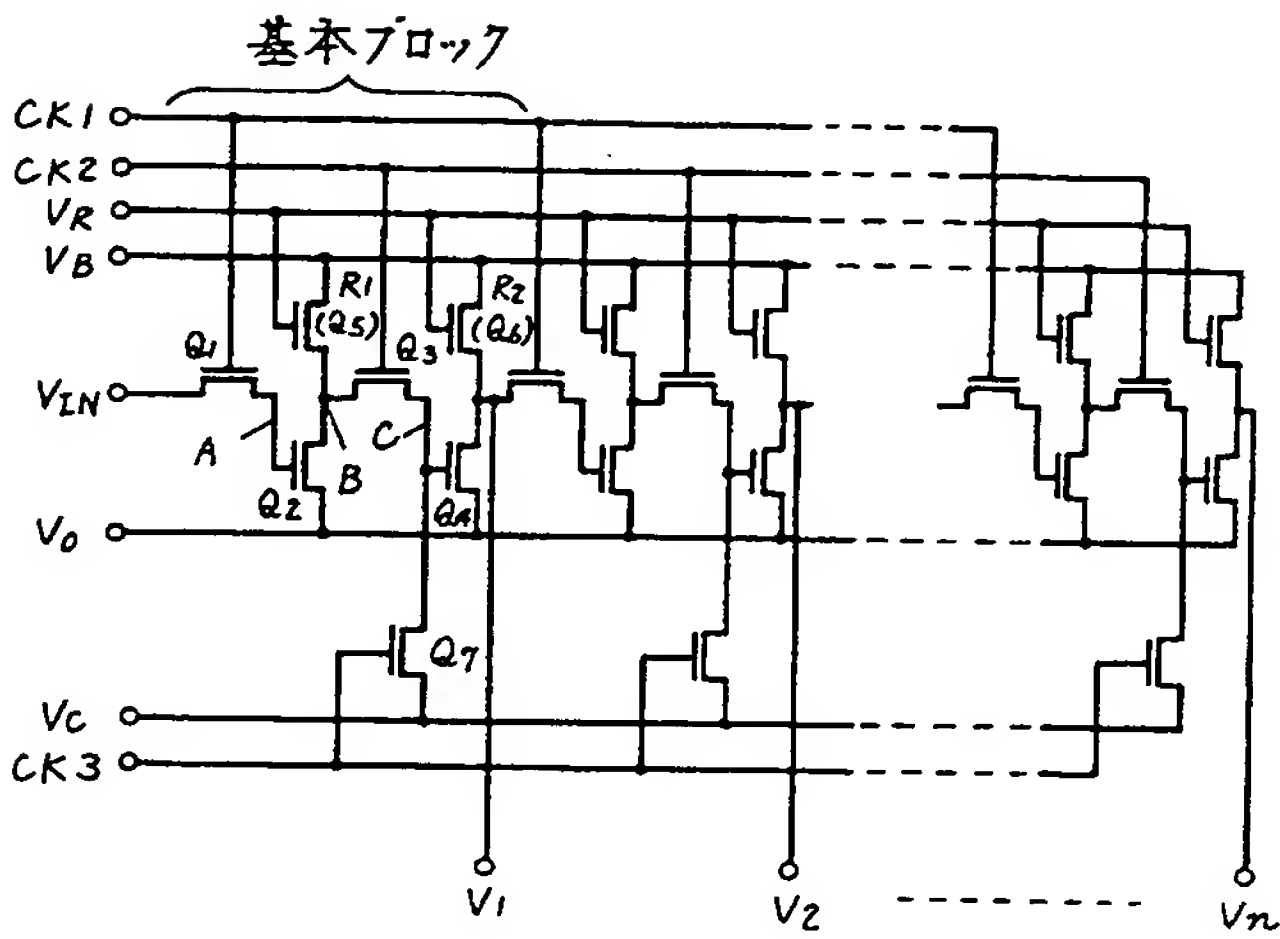
第 5 図



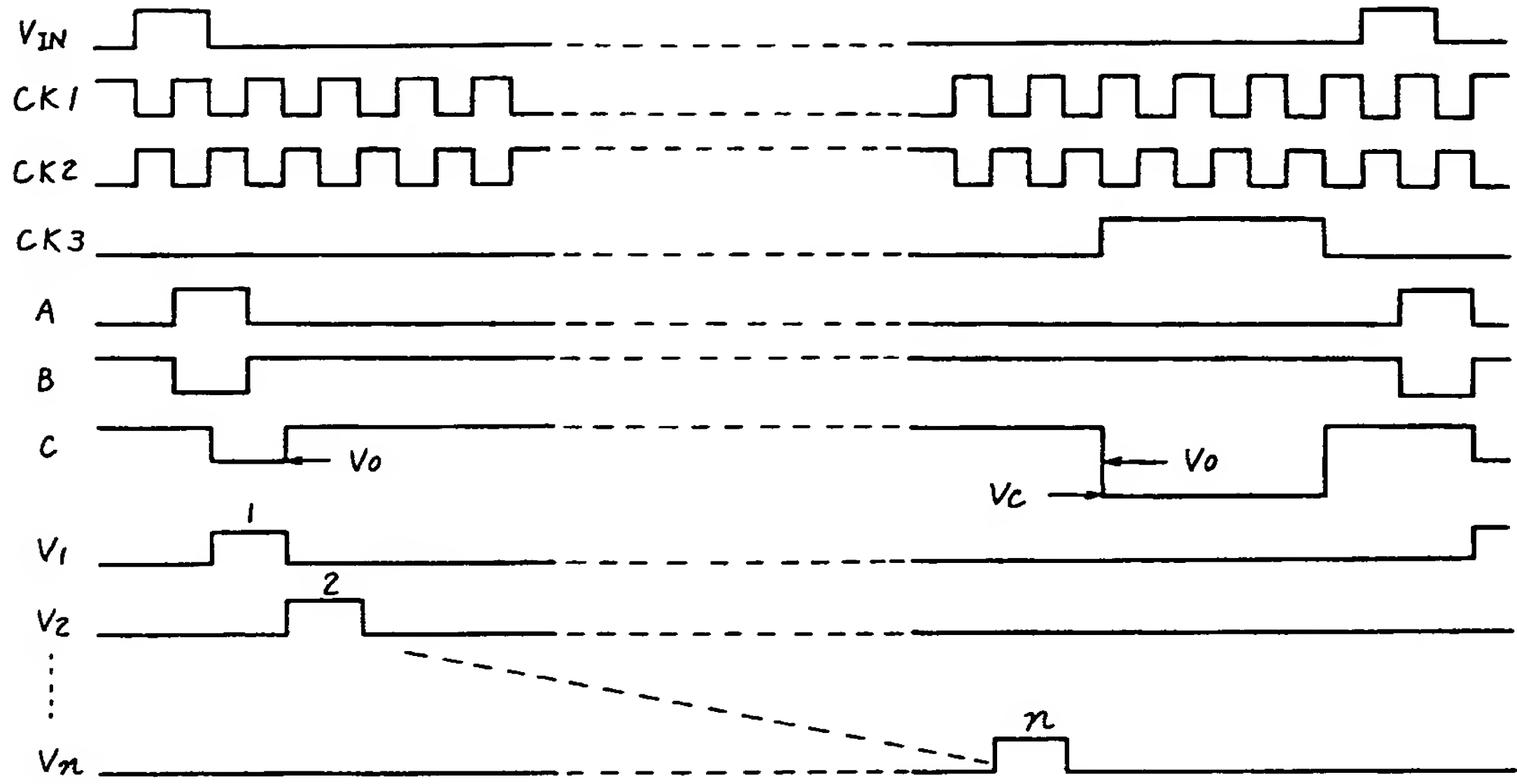
第 6 図



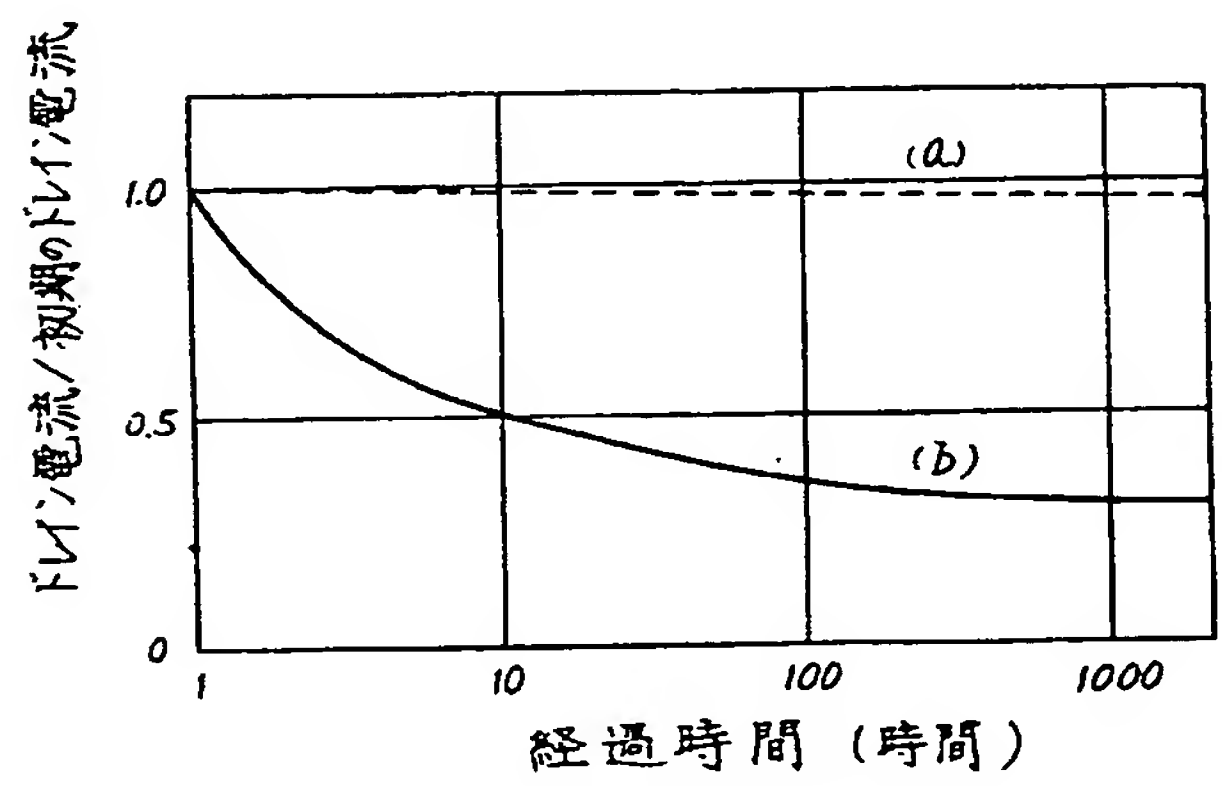
第 7 図



第 8 図



第 9 図



THIS PAGE BLANK (USPTO)